

STARC寄附講座「SoC設計技術」実習の概要

1 講座の狙い

性能、コスト、開発期間など、SoC (System on a Chip) にまつわる数多くの制約条件の中で、最適な HW(ハードウェア)や SW(ソフトウェア)を設計するリーダーとしての SoC アーキテクトの重要性は日に日に増えています。「SoC 設計技術」実習は、STARC 寄附講座「SoC 設計技術 A, B, C」の受講者が講義に続けて、実際に企業で行われている設計を体験することによって、講義内容の理解を深めると共に、システム全体を設計する技術を習得し、SoC アーキテクトを育成することを狙いとしています。

2 講座の特長

- ・ **先端分野の設計モチーフを体験**
 - 画像処理や音声処理などがあるデジタル機器をモチーフとしていますので、自分で設計したものを操作して、動かす楽しみ、ならびに、達成感を味わえます。
- ・ **システム仕様から始まる設計を体験**
 - 要求仕様に基づき、トップダウンに設計と検査を積み重ねることを通して、期間・性能・機能のバランスの取れた設計を体験できます。
- ・ **最先端の設計環境を体験**
 - ツール、教材、品質管理など、実際に企業で利用されている技術やツールを使用できます。
- ・ **チーム設計を体験**
 - 設計チームの一員としてコミュニケーション、ネゴシエーションを行いながら、役割分担やリーダーシップ、各専門分野にまたがる横断的な共同設計を理解できます。
- ・ **設計分野で3つのコース**
 - システム設計、LSI 設計、組み込み SW 設計の3コースを用意しており、各設計の関係と位置づけを理解できます。どのコースも共通の設計モチーフを用いるため、複数のコースを受けることにより理解が深まります。

3 実習のモチーフ

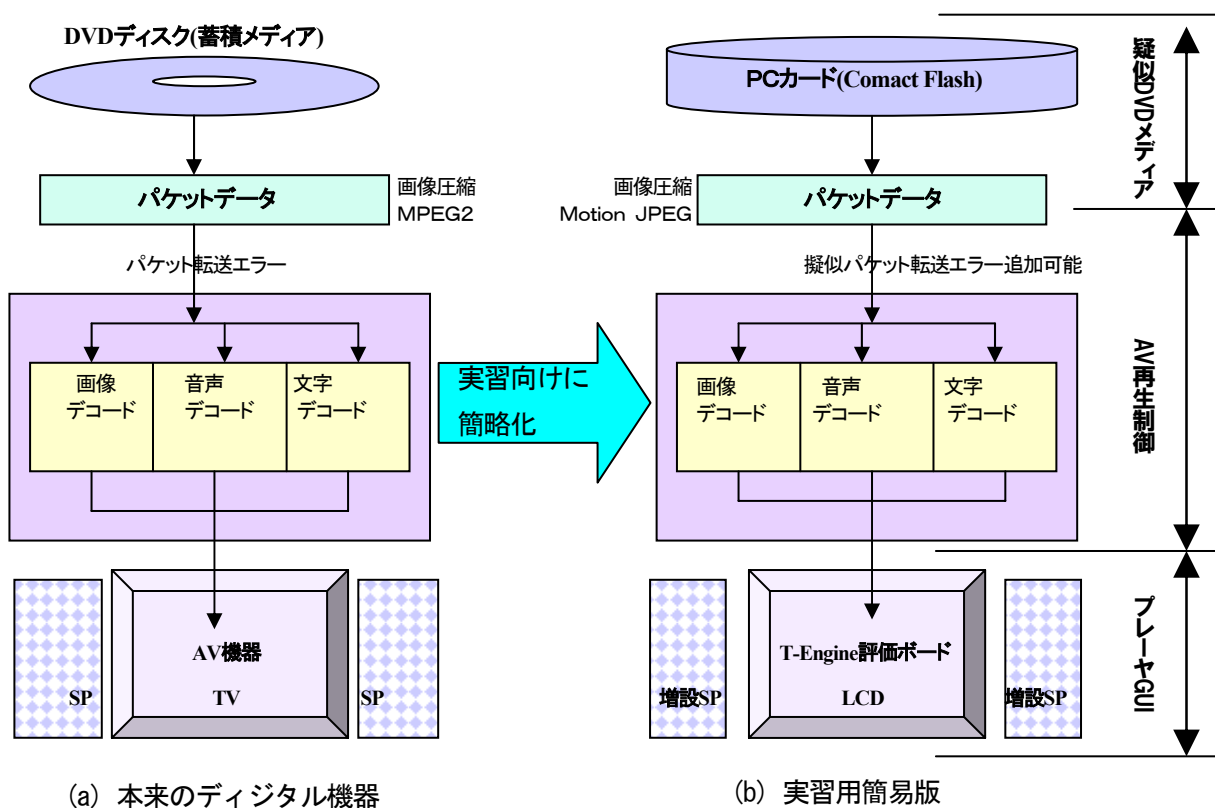


図 1 サンプル・システム：DVD プレーヤ

統一テーマとして DVD プレーヤを簡易化したシステムを採用しました。本物の DVD(図 1 (a))では、回路の複雑度や取り扱い速度、メディアの容量などが複雑ですので、実習向けに大幅に簡略化した状態の DVD 再生機(図 1 (b))をモチーフとしました。これを、疑似 DVD プレーヤと呼んでいます。本来の DVD プレーヤとのパーツの対応を以下の表に示します。

(a) 本来のデジタル機器	(b) 実習用簡易版
DVD ディスク	PC カード(Compact Flash)
TV	LCD パネル
外付けスピーカ	外付けスピーカ
リモコン	タッチパネルとスイッチ

また、実習用簡易版の再生仕様は以下の通りです。

- 画像: 160x120 ピクセル、24bit カラーデータを 16bit カラー表示、秒間 5 枚の Motion JPEG
- 音声: 8kHz サンプリング、16bit モノラル/8bit ステレオ
- 文字: 半角英数字のみ、画面に表示しきれぬ文字数(10 文字)

4 実習で使用する機材

4.1 実習で使用するボード

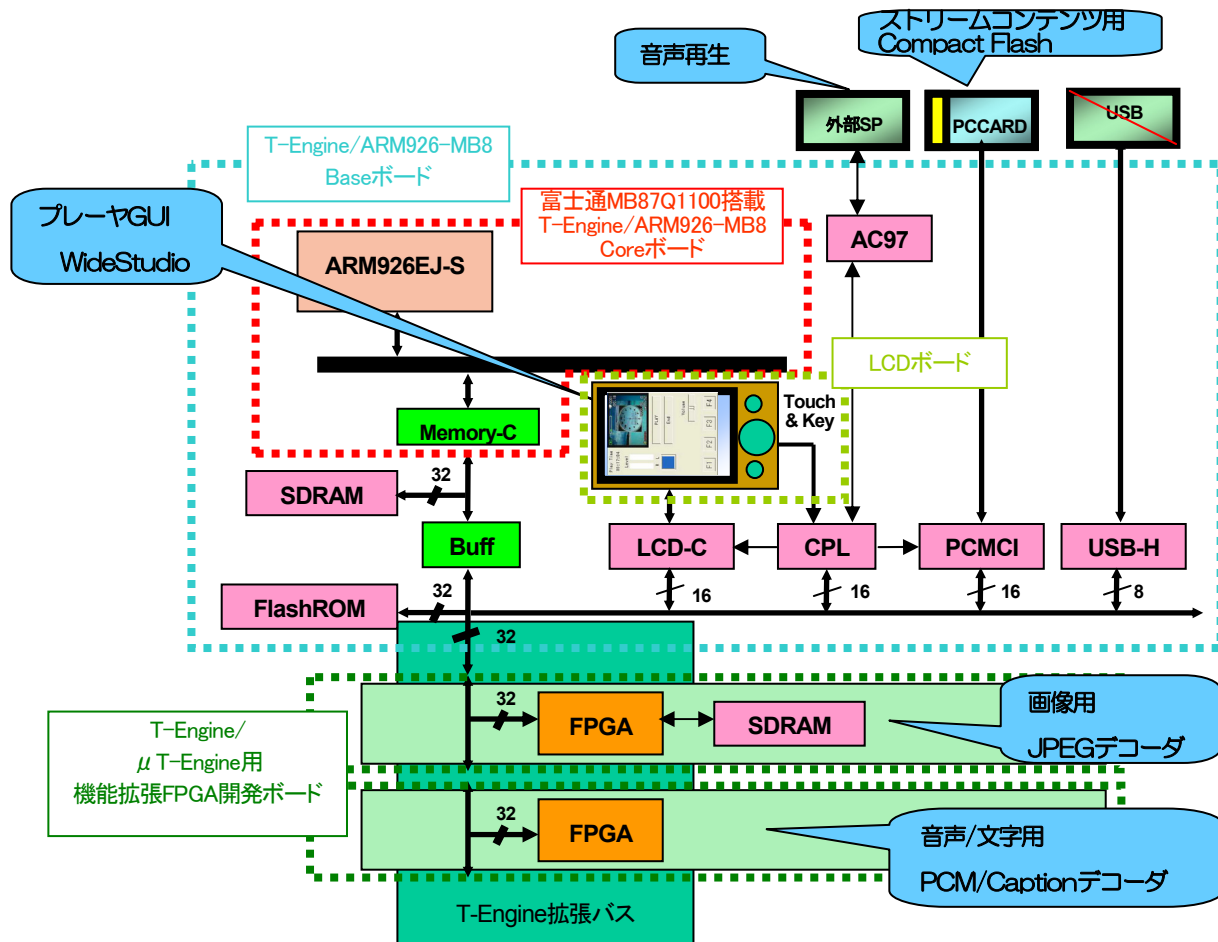


図 2 実習システムの構成

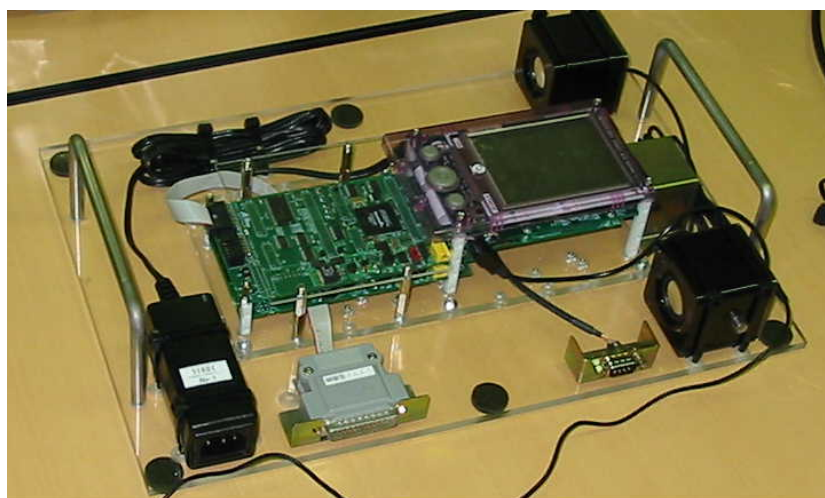


図 3 T-Engine 実習システム

4.2 実習で使用するソフトウェアツール環境

実習で用意する PC の中には、次のようなツールがあらかじめインストールされています。

- | | | |
|---------------|--------------------------|----------------------------|
| ・ ライセンス管理ツール | FlexLM/GUIwrapper | (Macromedia/CreDist) |
| ・ GUI | WideStudio | (フリーソフト) |
| ・ 文書作成用エディタ | Microsoft Office | (Microsoft) |
| ・ プログラム用エディタ | 秀丸 | (シェアウェア) |
| ・ 仕様オーサリングツール | VisualSpec | (InterDesign Technologies) |
| ・ HW/SW 協調検証 | CoMET | (Vast Systems Technology) |
| ・ RTL シミュレータ | ModelSim | (Mentor Graphics) |
| ・ 動作合成 | eXcite Pro | (Y Explorations) |
| ・ 論理合成 | Leonardo Spectrum | (Mentor Graphics) |
| ・ FPGA レイアウト | QuartusII | (Altera) |
| ・ RTOS | T-Engine/T-Monitor | (Personal Media) |
| ・ C++コンパイラ | Microsoft VisualC++ v6.0 | (Microsoft) |
| ・ gnu コンパイル環境 | GNU T-Engine 環境向け版 | (Personal Media) |

※以上のツール名及び会社名は各社の商標並びに商号です。

PC を T-Engine に接続して HW/SW 動作確認します(図 4)。

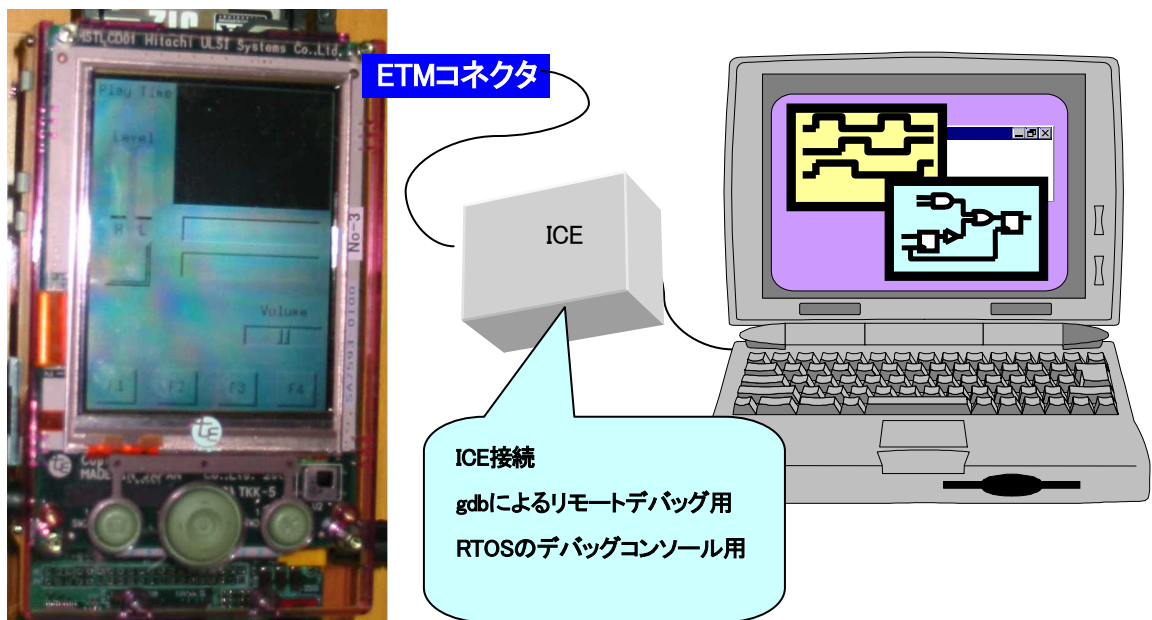


図 4 T-Engine に実装後、HW/SW 動作確認のため ICE で接続した状態

最終的には、T-Engine に実装した後、PC なしで T-Engine 実習システム単独にて動作します。

5 実習の構成

5.1 実習の構成

実習は、システムの動作との関連を把握しながら RTL 設計を行うBコース (LSI 設計編)、HW やシステムの構造を把握しながら組み込み SW の開発を対象とするCコース (組み込み SW 設計編)、システム全体から HW、SW を統合した設計を対象とするAコース (システム設計編)の三つのコースから成っています。三つのコースはそれぞれ独立した内容となっており、独立した受講が可能です。

5.1.1 各コースの位置付け

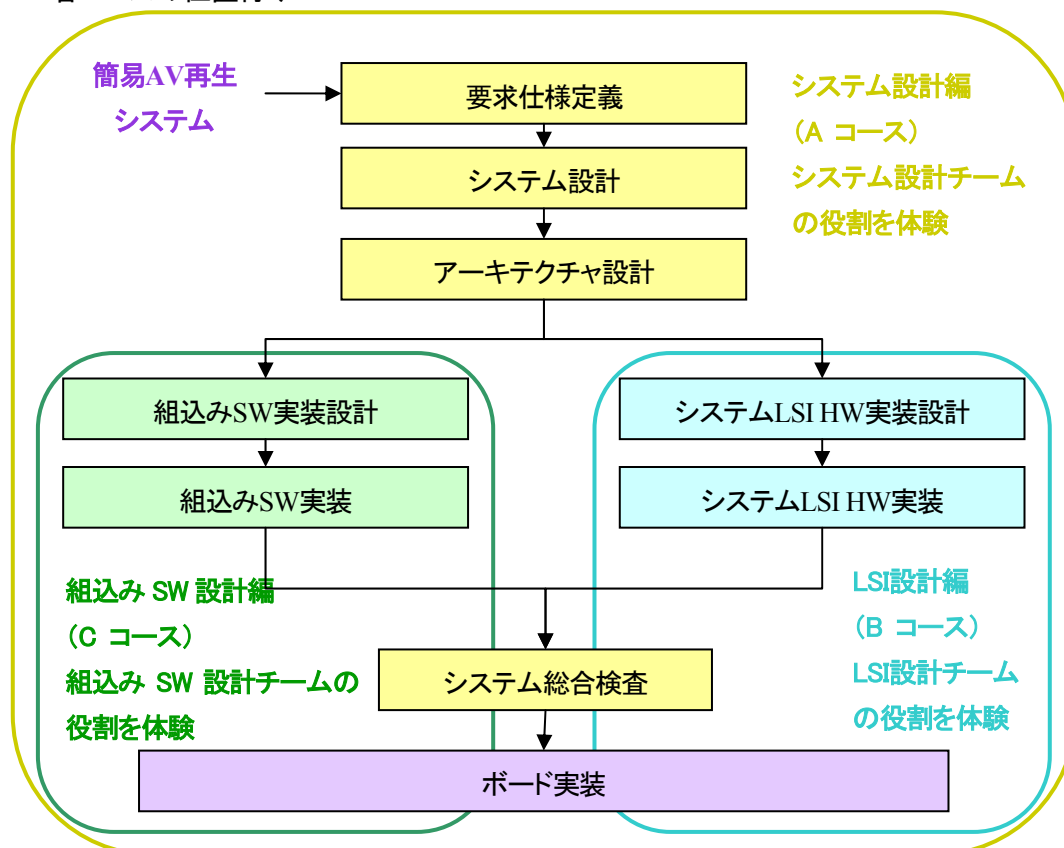


図5 各コースの位置付け

5.1.2 実習の基本的な流れ

要求仕様と教材を理解し、次にチーム内の役割分担、工程作成、設計仕様書の作成を行います。それらの設計方針についてデザインレビューを行い、評価します。結果に不満足の場合は設計方針を立て直します。次に実際の設計作業に取り掛かります。設計とPC上での検証が終わったところで再びデザインレビューを行い、設計・検証した状況を確認します。次にボードへの実装を行い、実機評価をします。最後に、成果発表の形式でデザインレビューを行います。各チームが他の全受講者に対して、自チームのプロジェクトの上手く行った点・失敗した点を発表し、プロジェクトの成果を報告します。

数人から成るチームが編成され、HW を設計する人、SW を設計する人、プロジェクトを管理する人、マーケティングを担当する人など役割を分担し、チームの総力で完成を目指します。

5.2 実習B:LSI設計者向けコース

5.2.1 概要

- ・ システムの動作との関連を把握しながら RTL 設計を行います。
- ・ RTL 以下の LSI 設計技術から T-Engine ボードへの実装までの実習を行います。

5.2.2 趣旨

- ・ ハードウェアで実現する機能(音声データのデコード)を VHDL で設計します。

5.2.3 受講対象者

- ・ 「プログラミング」、「論理回路」、「アーキテクチャ」などの基礎を修得済みであることが前提です。
- ・ 基礎実験「ハードウェア記述言語」などで VHDL を習得していることが望ましいです(事前にマルチメディア教材を利用して VHDL を習得します)。

5.2.4 習得できるスキル

- ・ VHDL によるハードウェア設計の実際
- ・ HW/SW 協調検証の実際

5.2.5 実習内容

- ・ 受講者は大きな開発組織に属する一チームとしての役割を体験します。
- ・ LSI 設計チームの一員として、システムレベルで定義された仕様を基に、RTL で設計をします。
- ・ 音声デコーダ部分の VHDL 設計を行います。
- ・ デコーダ回路とバスインタフェース(HS2-BUS)制御回路を設計します。
- ・ シミュレータにより単体検証を行います。
- ・ 教材として用意されているアーキテクチャ設計モデルと組み合わせて HW/SW 協調検証を行います。
- ・ 設計した VHDL を使用して、論理合成および FPGA レイアウトを行います。
- ・ 時間に余裕があれば、拡張機能として音声フォーマット自動判別機能の追加を検討します。
- ・ レイアウトファイルと、教材として用意されているシステム設計モデルから生成した C ソースファイルを用いて、T-Engine ボードへ HW を実装します。
- ・ T-Engine ボードで動作を確認します。

5.2.6 Bコースの実習計画

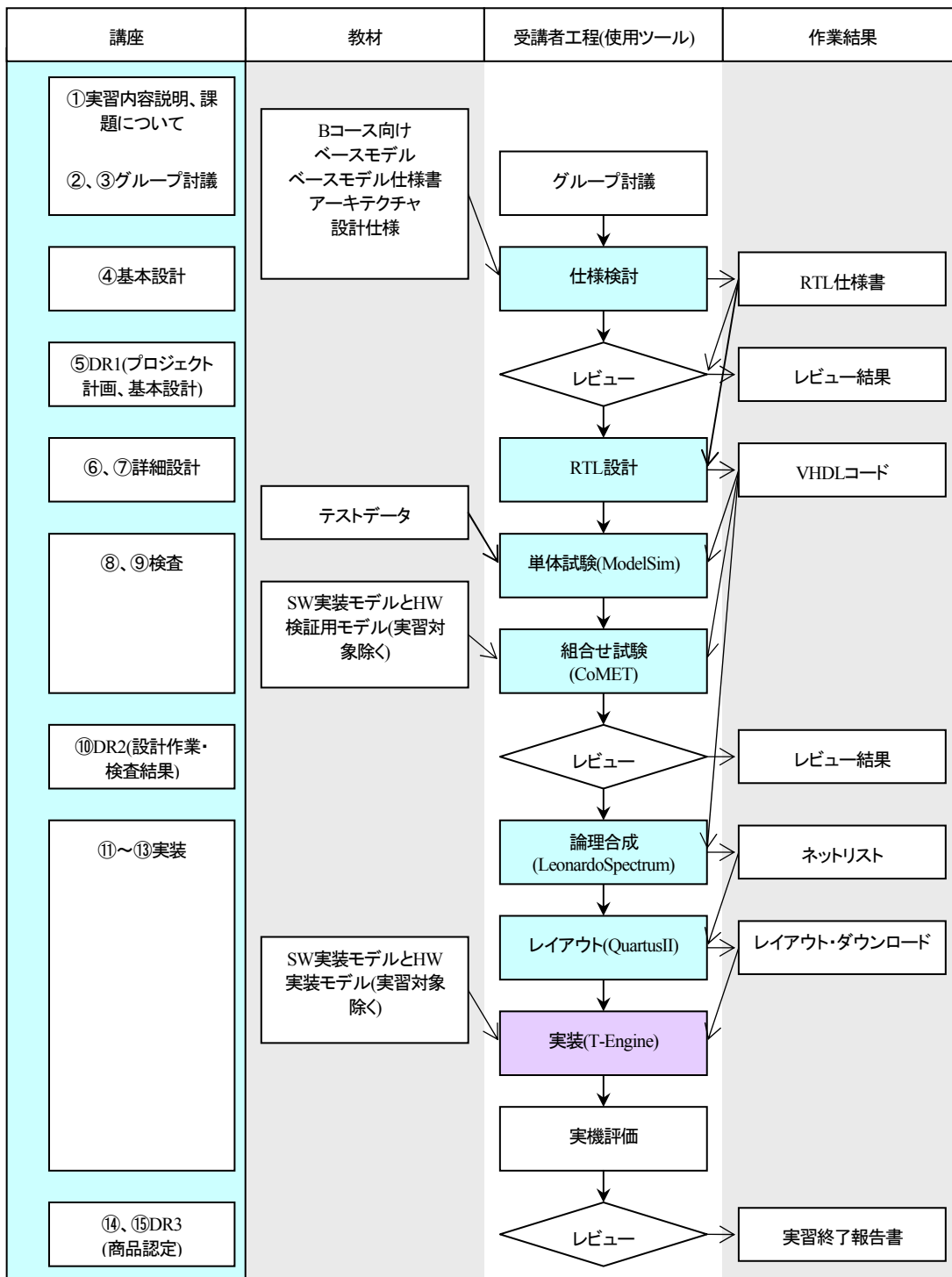


図6 Bコースの実習計画

- ※ 実習は5日間で行われます。
- ※ 図中、講座の①～⑮はコマ数です。

5.3 実習C:組込みSW設計者向けコース

5.3.1 概要

- ・ HW やシステムの構造を把握しながら組込み SW の開発を行います。
- ・ SoC 設計のための組込 SW 作成技術(実行タイミング管理、RTOS 活用、チューニング)を、モチーフを通じて実習します。
- ・ システムシミュレータを駆使することで、実装する機器が準備されていない状態での SW 開発作業を実習します。
- ・ T-Engine ボードへの実装を行います。

5.3.2 趣旨

- ・ 機能をシステム記述言語(SpecC)で記述し、検査を行います。
- ・ さらに T-Engine ボードに SW を実装し、既存の HW と組み合わせることで動作させることにより、実機で動作させる上で配慮すべき点を理解することができます。

5.3.3 受講対象者

- ・ 「プログラミング」など、C/C++によるソフトウェアプログラミングの基礎を習得済みであることが前提です。

5.3.4 習得できるスキル

- ・ システム記述言語(SpecC)の概念とプログラミング
- ・ SW のボード検証の実際

5.3.5 実習内容

- ・ 受講者は大きな開発組織に属する一チームとしての役割を体験します。
- ・ 組込み SW 設計チームの一員として、システムレベルで定義された仕様を基に、SoC 設計のための組込み SW を設計します。
- ・ 既存の SpecC モデルに新たに機能を拡張します(既存の SpecC モデルは「電源」「再生」「停止」が動作します)。
- ・ 新たな機能を設計するにあたり、まず機能仕様書を作ります。それから実際のコーディングを行います。
- ・ 「早送り」「巻戻し」「一時停止」を必須機能とし、「コマ送り」「シャトル操作」「動作状態表示」「ファンクションキー」など、拡張機能を各自で考えることができます。
- ・ 単体検証は PC 上で行います。
- ・ 既存の VHDL と組み合わせることで HW/SW 協調検証を行います。
- ・ SpecC モデルから生成した C ソースファイルと、既存のレイアウトファイルを用いて T-Engine ボードへ実装します。

5.3.6 Cコースの実習計画

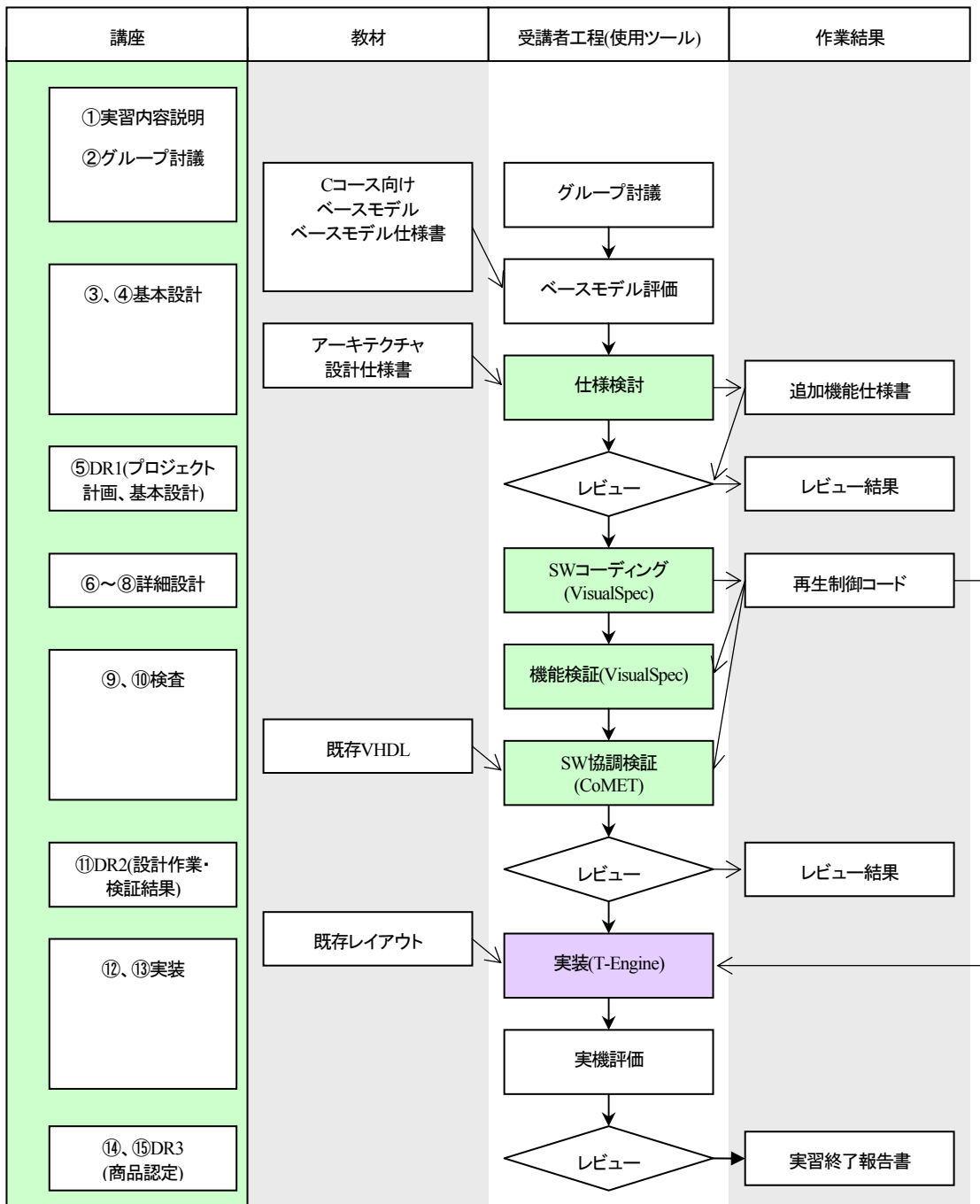


図7 Cコースの実習計画

- ※ 実習は5日間で行われます。
- ※ 図中、講座の①～⑮はコマ数です。

5.4 実習A:システム設計者向けコース

5.4.1 概要

- ・ システム全体から HW、SW を統合した設計を対象とします。
- ・ 要求仕様定義からアーキテクチャまでの SoC 設計・動作合成・検査、システム記述言語を使った仕様モデルの作成、仕様やアーキテクチャのトレードオフ検討、要求仕様を満たすアーキテクチャ設計を、モジュールを通じて実習します。
- ・ T-Engine ボードへの実装まで行います。

5.4.2 趣旨

- ・ 機能をシステム記述言語 (SpecC) で記述し、検査を行います。
- ・ HW/SW 分割や動作合成など、ツールによってシステム設計データを T-Engine ボードで動作可能なレベルまで具体化できることを体験します。

5.4.3 受講対象者

- ・ HW 設計 (VHDL)、もしくは、SW 設計 (C/C++) の経験があることが望ましいです。

5.4.4 習得できるスキル

- ・ システム記述言語 (SpecC) の概念とプログラミング
- ・ 動作合成ツールの実際
- ・ HW/SW 協調検証の実際

5.4.5 実習内容について

- ・ 受講者は大きな開発組織に属する一チームとしての役割を体験します。
- ・ 仕様設計チームの一員として、SoC の要求定義から、システム仕様の定義、アーキテクチャの検討などのシステム設計を行います。
- ・ 教材として用意されているシステム設計モデルに、新たに機能を拡張します (既存のシステム設計モデルは「電源」「再生」「停止」が動作します)。
- ・ 必須機能として、「早送り」「巻戻し」「一時停止」「音量調整」を設計します。
- ・ 単体検証は PC 上で行います。
- ・ 必須機能まで実装したシステム設計モデルに対し、HW/SW 分割を行い、HW 部分については動作合成を行って VHDL コードを生成し、SW 部分についてはシステム設計モデルから生成した C ソースファイルをコンパイルしてバイナリを生成します。
- ・ 生成した VHDL コードとバイナリを組み合わせるアーキテクチャ・モデルを作成し、アーキテクチャ性能検証を行います。
- ・ 生成した VHDL を使用して、論理合成と FPGA レイアウトを行います。
- ・ 時間に余裕があれば、拡張機能として「音量調節の HW 化」「フェードイン・フェードアウト」機能の追加を検討します。
- ・ レイアウトファイルとシステム・モデルから生成した C ソースファイルを用いて T-Engine ボードへ実装します。

5.4.6 Aコースの実習計画

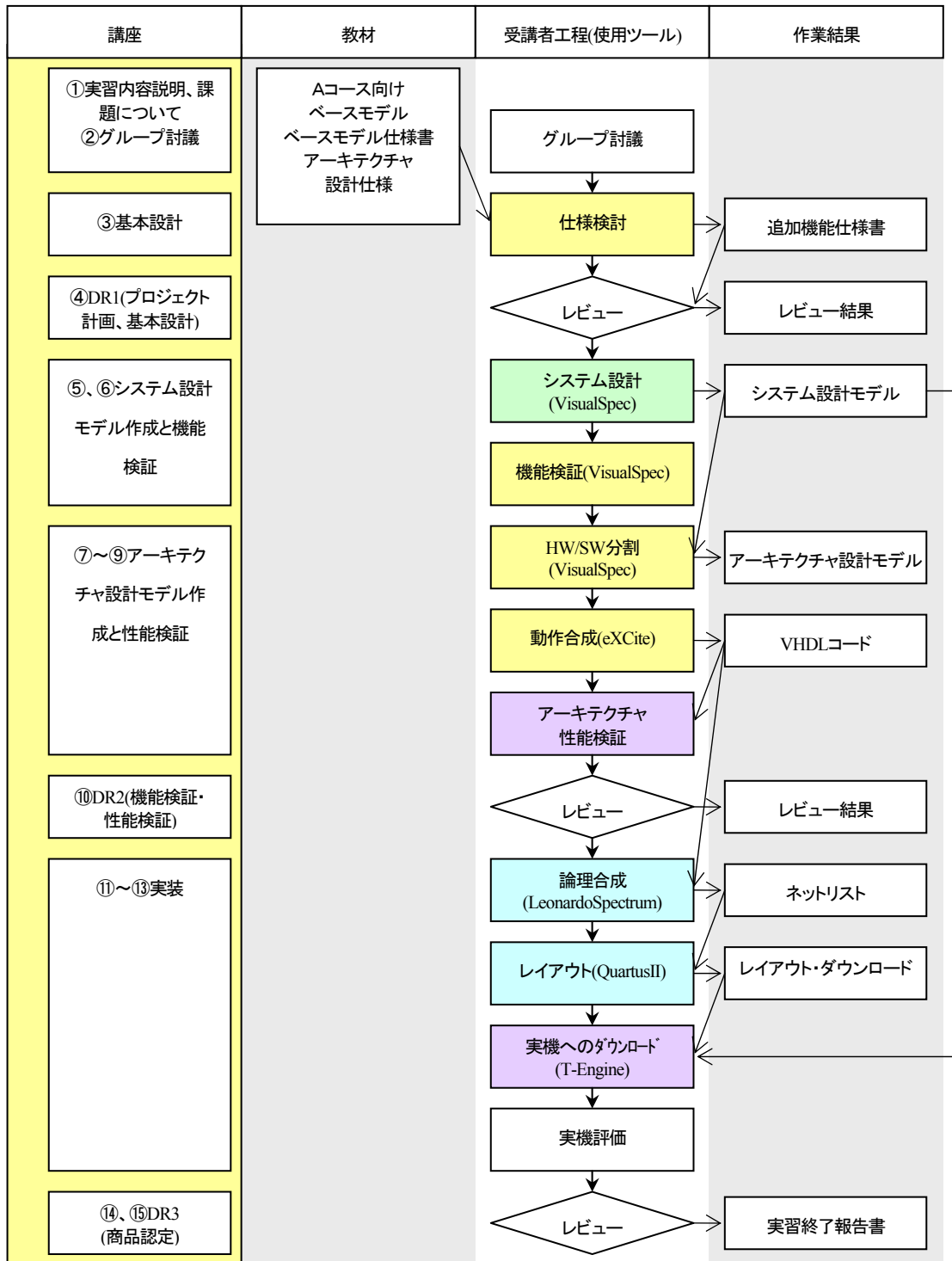


図8 Aコースの実習計画

- ※ 実習は5日間で行われます。
- ※ 図中、講座の①～⑮はコマ数です。